

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-137830

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

G06F 17/10

H03M 7/30

H04N 1/41

H04N 7/30

(21)Application number : 06-300100

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 10.11.1994

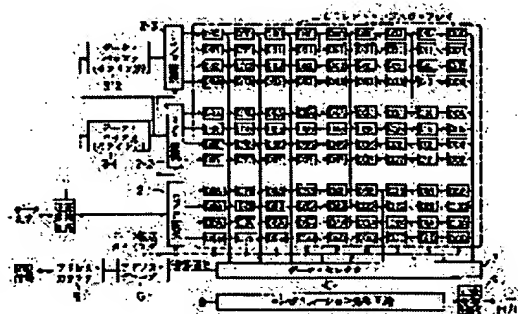
(72)Inventor : KAWASAKI TETSUYA

(54) SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To provide a signal processor which is decreased in circuit scale and reduced in the number of constituent components without sacrificing characteristics of convolution processing.

CONSTITUTION: This signal processor consists of a scanning converting circuit 1 which divides a two-dimensional digital data array into plural blocks and converts input data obtained by scanning the blocks, one by one, into the scanning order of an array format, data buffers 3-1 and 3-2 which delay the output data from the scanning converting circuit 1, S/P converting circuits 2-1, 2-2, and 2-3 which output output data from the scanning converting circuit 1 or data buffers 3-1 and 3-2 in parallel, a shift register array 4 which stores the data from the S/P converting circuits, a data selector 7 which takes data out of the shift register array 4, and a convolution processing circuit 8 which performs the convolution processing by using the taken-out data and a two-dimensional coefficient array.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the signal processor which performs convolution processing with the input data of time series and the two-dimensional predetermined multiplier array which divided the two-dimensional digital data array into two or more blocks of predetermined magnitude, scanned for every block, and were acquired The scan conversion circuit changed in order of the scan of a train format of the scan sequence of said input data, The number of data which multiplied the number of the data which constitute one line of a digital data array two-dimensional [said], and the number of the data which constitute one train of a block of said predetermined magnitude is made into one stage. The delay means which predetermined number[of stages]-delays the data outputted from said scan conversion circuit, and can output the lag data for every stage, The serial/parallel-conversion circuit which considers the lag data of each stage of this delay means, and the output data from said scan conversion circuit as an input, and outputs the string data within the same block to juxtaposition, The shift-register array which stores a predetermined number of data while shifting from this serial/parallel-conversion circuit the data outputted to juxtaposition for every data with the same line address, The data selector which picks out two or more data required for convolution processing from the data stored in this shift-register array, The signal processor which consists of a convolution processing circuit which performs convolution processing using two or more data taken out by this data selector and said two-dimensional predetermined multiplier array.

[Claim 2] The signal processor according to claim 1 characterized by omitting said scan conversion circuit by specifying in order of the block scan of a train format of the scanning direction of said input data.

[Claim 3] The signal processor according to claim 1 or 2 characterized by constituting so that said serial/parallel-conversion circuit may be made to unify the function of said shift-register array when the number of the trains which constitute said two-dimensional multiplier array is 1.

[Claim 4] A signal processor given in any 1 term of claims 1-3 characterized by adding the circuit which performs filtering of a line writing direction to the output from said convolution processing circuit.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention divides a two-dimensional digital data array into two or more blocks, and relates to the signal processor which performs convolution processing with the input data of the time series scanned and acquired for every block, and a two-dimensional predetermined multiplier array.

[0002]

[Description of the Prior Art] For example, the configuration as generally shows the two-dimensional convolution processor using the two-dimensional multiplier array of nine-line nine trains to drawing 4 R> 4 is used. That is, when the input data of the time series acquired by scanning a two-dimensional digital data array is not raster scan sequence as shown in drawing 5, it is the scan conversion circuit 101 first. It is changed in order of a raster scan. And scan conversion circuit 101 The data of the time series of the acquired raster scan sequence are the shift-register array 103 while being delayed by the delay means 102-1 with the amount of delay for several data minutes which constitutes one line (it is defined as a line) of the two-dimensional digital data array of a basis, i.e., a line buffer. It is supplied. Moreover, the output from this line buffer 102-1 is the shift-register array 103 in a line buffer 102-2. It is supplied. [0003] Similarly, the output of each line buffer 102-2 to 102-7 is the shift-register array 103 in the line buffer 102-3 to 102-8 of the next step, respectively. It is supplied and the output of the last line buffer 102-8 is also the shift-register array 103. It is supplied. Only the number which subtracted 1 from the number of the multipliers which constitute one train of a multiplier array is required for these line buffers 102-1 to 102-8, and, in the case of this example of a configuration, eight line buffers are needed. From each line buffer 102-1 to 102-8, eight data which it delayed one line at a time to the input data, respectively are outputted. That is, nine data located in a line in the direction of a train including the input data are the shift-register arrays 103. It will be supplied.

[0004] Shift-register array 103 It consists of two or more shift registers D00-D88 with the same number of stages as the number of the multipliers which constitute one line of a multiplier array (in the case of this example of a configuration, they are nine stages), and the data of a before [eight] are stored for every line. Only the same number as the number of the multipliers which constitute one train of a multiplier array is required for a shift register, and, in the case of [nine] this example of a configuration, it is needed.

[0005] By taking the above configuration, it is the shift-register array 103. Upwards, the partial array (nine-line nine trains) of the two-dimensional data array of a basis is reconfigured. For example, when the data of the beginning of the 1st line are stored in a register D00, the data of the beginning of the 2nd line are stored in a register D01, and the 9th data of the 9th line are stored for the 2nd data of the 1st line in a register D88 by the register D10. Thus, the reconfigured partial array is equivalent to the two-dimensional multiplier array (nine-line nine trains). Namely, this shift-register array 103 The data and the multiplier array which were stored are used and it is the convolution processing circuit 104. It can set and convolution processing can be performed. And scan conversion circuit 105 which returns the result to the raster scan of

a basis It can mind and output.

[0006]

[Problem(s) to be Solved by the Invention] The data size treated in the processing field of the image data which is typical two-dimensional data is large, and the inclination large-scale-ized increasingly is strong. Moreover, in fields, such as record of image data, and a communication link, in order to compress the amount of data, many conversion coding is used and, as for the scan sequence of data, a block scan is becoming general.

[0007] However, in the signal processor which performs the conventional convolution processing shown in drawing 4 , since it is required that input data should be raster scan sequence, the scan conversion circuit changed in order of a raster scan for processing the data of block scan sequence is indispensable. Furthermore, the scan conversion circuit returned to a scan format of a basis is also needed after convolution processing with a latter configuration.

[0008] the raster scan sequence from block scan sequence -- or in order to change from raster scan sequence in order of a block scan, it is necessary to use a random and accessible storage means like SRAM For example, although the control approach of SRAM is devised, it is the minimum capacity and this processing is realized, a number of the data of number x1 line of data of capacity which still constitute one train of one block is required of L64765 which is LSI of LSI-LOGIC. That is, when the capacity of this storage means processes image data especially depending on the size of the two-dimensional data to process, a very mass thing is required. And since it is difficult, uniting this storage means with other circuits, and integrating prepares a storage means independently in many cases. However, in addition to components increasing in number, many signal lines, such as the address and data, were needed, and the space factor was reduced.

[0009] Moreover, since a large-scale thing is required depending on data size, the line buffer for obtaining the data of the direction of a train simultaneously also uses and constitutes a general-purpose data buffer like FIFO in many cases. However, several [of the multiplier which constitutes one train of a multiplier array] -The number of only 1 (at the conventional example shown in drawing 4 , it is 8) is needed, and a space factor is reduced remarkably. Therefore, measures, such as reducing the line count of a multiplier array at the sacrifice of the property of convolution processing, were taken.

[0010] it be made in order that this invention may cancel the above-mentioned trouble in the signal processor which perform the conventional convolution processing , and it aim at provide the signal processor it enabled it to reduce in the number of the components which constitute a circuit , without sacrifice the property of convolution processing for invention according to claim 1 in the equipment which perform convolution processing with the data which input in order of block scans other than a train format as show in drawing 6 , and a two-dimensional multiplier array . Moreover, invention according to claim 3 aims invention according to claim 4 at offering the signal processor which can reduce the number of multiplication [in / convolution processing] for the purpose of offering the signal processor which can omit a shift-register array for the purpose of invention according to claim 2 offering the signal processor which can omit a scan conversion circuit.

[0011]

[Means for Solving the Problem and its Function] In order to solve the above-mentioned trouble, invention according to claim 1 In the signal processor which performs convolution processing with the input data of time series and the two-dimensional predetermined multiplier array which divided the two-dimensional digital data array into two or more blocks of predetermined magnitude, scanned for every block, and were acquired The scan conversion circuit changed in order of the scan of a train format of the scan sequence of said input data, The number of data which multiplied the number of the data which constitute one line of a digital data array two-dimensional [said], and the number of the data which constitute one train of a block of said predetermined magnitude is made into one stage. The delay means which predetermined number [of stages]-delays the data outputted from said scan conversion circuit, and can output the lag data for every stage, The serial/parallel-conversion circuit which considers the lag data of each stage of this delay means, and the output data from said scan conversion circuit as an input, and

outputs the string data within the same block to juxtaposition, The shift-register array which stores a predetermined number of data while shifting from this serial/parallel-conversion circuit the data outputted to juxtaposition for every data with the same line address, The data selector which picks out two or more data required for convolution processing from the data stored in this shift-register array, A signal processor consists of convolution processing circuits which perform convolution processing using two or more data taken out by this data selector and said two-dimensional predetermined multiplier array.

[0012] Also when it can omit in the scan conversion circuit itself when the block scan of the data become that it is possible to perform convolution processing to the data by which the block scan was carried out, therefore input is carried out in a train format, without changing in order of a raster scan by adopting such a configuration, and the block scan is carried out in the other format, compared with the case of conversion by the raster scan, it can constitute in a far small-scale circuit. For example, the conversion to the block scan of a train format from the block scan of a line format is realizable with the storage means of the same capacity as the number of the data which constitute one block, if the same art as the former is used. Moreover, the number of the delay means for obtaining the data of the direction of a train is also substantially reducible.

[0013] Moreover, in a signal processor according to claim 1, invention according to claim 2 is characterized by omitting a scan conversion circuit by specifying the scanning direction of input data in order of the block scan of a train format, and when input data is the scan sequence of a train format in this way, it can omit a scan conversion circuit. Moreover, in a signal processor according to claim 1 or 2, when the number of the trains which constitute a two-dimensional multiplier array is 1, invention according to claim 3 is constituted so that a serial/parallel-conversion circuit may be made to unify the function of a shift-register array. Thus, when the multiplier array consists of only one train, the output of a serial/parallel-conversion circuit can be supplied to an immediate-data selector, and a shift-register array can be omitted. Moreover, invention according to claim 4 adds the circuit which performs filtering of a line writing direction to the output from a convolution processing circuit in a signal processor given in any 1 term of claims 1-3. Thereby, the number of the multiplication in convolution processing can be reduced.

[0014]

[Example] Next, an example is explained. Drawing 1 is the block block diagram showing the example of the signal processor concerning this invention. This example divides two-dimensional digital data into the block of four-line four trains, and applies this invention to the signal processor which was made to perform convolution processing with the data of the time series scanned and acquired for every block, and the two-dimensional multiplier array of nine-line nine trains.

[0015] In drawing 1, input data is data of the time series acquired by scanning a two-dimensional digital data array in order of a block scan synchronizing with the standup of a predetermined reference clock. And especially, as long as there is no assignment, suppose that processing of data is performed synchronizing with this reference clock (in addition in drawing 1, the reference clock is omitting the graphic display).

[0016] Input data is first changed in order of the block scan of a train format by the scan conversion circuit 1. When the data of the sequence of a block scan of a train format are obtained from the beginning, this scan conversion circuit 1 can be omitted. The data changed in order of the block scan of a train format are delayed by the delay means 3-1 with a number (in the case of this example, it is 4) of data of the amounts of delay which constitute one train of the block of data number $x1$ ** of one line, i.e., a data buffer, while they are supplied to a serial / parallel (S/P) conversion circuit 2-1. The data delayed by this data buffer 3-1 are delayed by the data buffer 3-2 with the amount of delay for four more lines while they are supplied to the S/P conversion circuit 2-2. Two data buffers 3-1 and the data delayed by 3-2 by a total of eight lines are supplied to the S/P conversion circuit 2-3.

[0017] The S/P conversion circuit 2-1 to 2-3 consists of shift registers 11 and the registers 12-1 to 12-4 for an output with a number (in the case of this example, it is 4) of data of the numbers of stages which constitute one train of one block, as shown in drawing 2. When all the

data for one train in the same block are stored on a shift register, the stored data are transmitted to the register 12-1 to 12-4 for an output. That is, from the S/P conversion circuit 2-1 to 2-3, 12 data located in a line in the direction of a train will be outputted to juxtaposition, and will be supplied to the shift-register array 4.

[0018] The shift-register array 4 consists of two or more shift registers D00-D88 with the same number of stages as the number of the multipliers which constitute one line of a multiplier array (in the case of this example, it is 9), and it is stored, shifting the data outputted from the S/P conversion circuit 2-1 to 2-3. From the S/P conversion circuit 2-1 to 2-3, since the data located in a line in the direction of a train are supplied, on the shift-register array 4, the partial array (nine-line 12 trains) of the data array of a basis is reconfigured.

[0019] On the other hand, an address counter 5 counts a reference clock based on the synchronizing signal which synchronized with the input data, and detects and outputs the address of the data to input. An address decoder 6 outputs the control signal for choosing data required for convolution processing while generating the timing of the data transfer in the S/P conversion circuit 2-1 to 2-3, or the shift-register array 4 based on the address from an address counter 5. This control signal is specified, as it specifies centering on which data currently stored in the register of registers 44-D 47 convolution processing is performed and it is shown in drawing 3 to the timing of S/P conversion.

[0020] A data selector 7 chooses two or more required data from the data stored on the shift-register array 4 based on the control signal inputted from an address decoder 6, and outputs them to the convolution filter of the convolution processing circuit 8. For example, when the control signal specifies the register D44, registers D00-D08, D10-D18, D20-D28, D30-D38, D40-D48, D50-D58, D60-D68, D70-D78, and the data stored in D80-D88 are read. When the control signal specifies the register D46, the data stored in register D02-D0A, D12-D1A, D22-D2A, D32-D3A, D42-D4A, D52-D5A, D62-D6A, D72-D7A, and D82-D8A are read. The convolution processing circuit 8 performs convolution processing using the data outputted from a data selector 7, and a predetermined multiplier array, and outputs the result through the scan conversion circuit 9 changed into a scan format of a basis.

[0021] Since convolution processing can be performed without changing the data inputted in order of a block scan by using the signal processor of such a configuration in order of a raster scan, the magnitude of a scan conversion circuit is reducible. Furthermore, the number of the delay means for obtaining the data of the direction of a train is also reduced substantially. For example, in this example, what has eight required pieces is reduced by two pieces in the conventional example. Therefore, convolution processing of a required property can be performed, without being bound to a space factor. On the other hand, although, as for the memory capacity per [which is a delay means] data buffer, a mass thing is required compared with the former, a mass thing like the frame buffer for images is supplied to the general-purpose data buffer comparatively cheaply, and there is no cost-demerit.

[0022] Moreover, in the above-mentioned example, when input data is the block scan sequence of the train format from the beginning, the scan conversion circuit itself can be omitted. moreover, the thing for which the output of a S/P conversion circuit is used for direct convolution processing although the number of stages of a shift-register array showed the same thing as the number of the multipliers which constitute one line of a multiplier array in the above-mentioned example -- the magnitude of a shift-register array -- 1 stage ***** -- things are made. Therefore, when a multiplier array is a train matrix which is one dimension, a shift-register array can be omitted.

[0023] Furthermore, when a two-dimensional multiplier array is equivalent to what is obtained by applying the line matrix in a certain train matrix, two-dimensional convolution processing can be divided into processing of the direction of a train, and processing of a line writing direction, and can be performed. That is, two-dimensional convolution processing can be performed with the configuration which adds the processing circuit of a line writing direction to the configuration of the above-mentioned example. By taking this configuration, the number of the multiplication in convolution processing can be reduced. For example, in the convolution processing using the multiplier array of 9x9, the number of required multiplication can reduce from 81 to 18.

[0024]

[Effect of the Invention] Since convolution processing can be performed without changing the data inputted in order of a block scan in order of a raster scan according to invention according to claim 1 as explained based on the example above, the magnitude and the component parts of a scan conversion circuit are reducible, thereby, cutback of cost and improvement in the dependability of equipment can be aimed at, and effectiveness, such as reduction of power consumption or a radiation noise and compaction of the processing time, is also acquired further. Moreover, according to invention according to claim 2, the scan conversion circuit itself is omissible by making input data into the block scan sequence of a train format from the beginning. Moreover, when the number of the trains which constitute a two-dimensional multiplier array is 1 according to invention according to claim 3, the function of a shift-register array can be given to a serial/parallel-conversion circuit, and a shift-register array can be omitted. Moreover, according to invention according to claim 4, the number of the multiplication in convolution processing can be reduced by adding the circuit which performs filter processing of a line writing direction to the output from a convolution processing circuit.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block block diagram showing the example of the signal processor concerning this invention.

[Drawing 2] It is the block block diagram showing the example of a configuration of the S/P conversion circuit in the example shown in drawing 1 .

[Drawing 3] It is drawing showing the timing of the output signal of the address decoder in the example shown in drawing 1 .

[Drawing 4] It is the block block diagram showing the example of a configuration of the conventional signal processor.

[Drawing 5] It is the explanatory view showing the mode of raster scan sequence.

[Drawing 6] It is the explanatory view showing the mode of the block scan sequence of a train format.

[Description of Notations]

- 1 Nine Scan conversion circuit
- 2-1, 2-2, 2-3 S/P conversion circuit
- 3-1, 3-2 Data buffer
- 4 Shift-Register Array
- 5 Address Counter
- 6 Address Decoder
- 7 Data Selector
- 8 Convolution Processing Circuit
- 11 Shift Register
- 12-1, 12-2, 12-3, 12-4 Register for an output
- 101,105 Scan conversion circuit
- 102-1 to 102-8 Line buffer
- 103 Shift-Register Array
- 104 Convolution Processing Circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-137830

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/10

H 0 3 M 7/30

H 0 4 N 1/41

A 9382-5K

Z

G 0 6 F 15/31

A

H 0 4 N 7/133

Z

審査請求 未請求 請求項の数4 F D (全7頁) 最終頁に続く

(21) 出願番号

特願平6-300100

(22) 出願日

平成6年(1994)11月10日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 川崎 哲哉

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

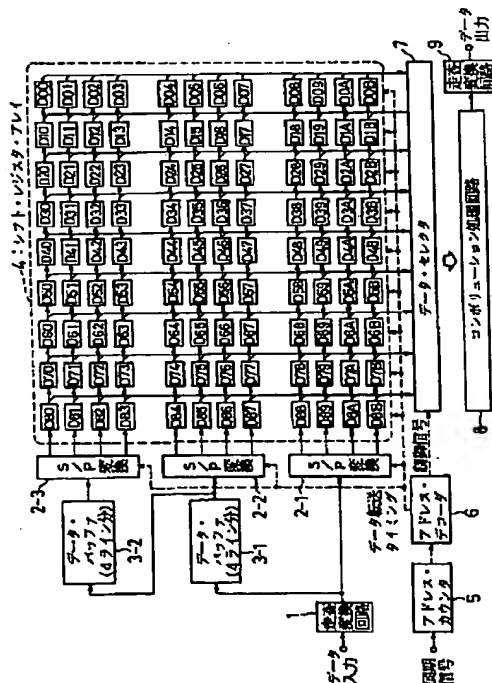
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 信号処理装置

(57) 【要約】

【目的】 コンボリューション処理の特性を犠牲にすることなく、回路規模及び構成部品を削減できるようにした信号処理装置を提供する。

【構成】 2次元のデジタル・データ配列を複数ブロックに分割しブロック毎に走査して得られた入力データを列フォーマットの走査順序に変換する走査変換回路1と、該走査変換回路1からの出力データを遅延させるデータ・バッファ3-1、3-2と、走査変換回路1又はデータ・バッファ3-1、3-2からの出力データを並列出力するS/P変換回路2-1、2-2、2-3と、S/P変換回路からのデータをストアするシフト・レジスタ・アレイ4と、シフト・レジスタ・アレイ4のデータを取り出すデータ・セクタ7と、取り出されたデータと2次元の係数配列とを用いてコンボリューション処理を行うコンボリューション処理回路8とで信号処理装置を構成する。



【特許請求の範囲】

【請求項1】 2次元のデジタル・データ配列を所定の大きさの複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと所定の2次元の係数配列とのコンボリューション処理を行う信号処理装置において、前記入力データの走査順序を列フォーマットの走査順序に変換する走査変換回路と、前記2次元のデジタル・データ配列の1行を構成するデータの数と前記所定の大きさのブロックの1列を構成するデータの数とを掛け合わせたデータ数を1ステージとして、前記走査変換回路から出力されるデータを所定のステージ数遅延させ、且つ各ステージ毎の遅延データを出力できる遅延手段と、該遅延手段の各ステージの遅延データ及び前記走査変換回路からの出力データを入力とし、同一ブロック内の列データを並列に出力するシリアル/パラレル変換回路と、該シリアル/パラレル変換回路から並列に出力されるデータを、同じ行アドレスを持つデータ毎にシフトしながら所定の数のデータをストアするシフト・レジスタ・アレイと、該シフト・レジスタ・アレイにストアされたデータから、コンボリューション処理に必要な複数のデータを取り出すデータ・セクタと、該データ・セクタによって取り出された複数のデータと前記所定の2次元の係数配列とを用いてコンボリューション処理を行うコンボリューション処理回路とからなる信号処理装置。

【請求項2】 前記入力データの走査方向を列フォーマットのブロック走査順序に規定することにより、前記走査変換回路を省略することを特徴とする請求項1記載の信号処理装置。

【請求項3】 前記2次元の係数配列を構成する列の数が1の場合に、前記シリアル/パラレル変換回路に前記シフト・レジスタ・アレイの機能を統合させるように構成することを特徴とする請求項1又は2記載の信号処理装置。

【請求項4】 前記コンボリューション処理回路からの出力に対して行方向のフィルタ処理を行う回路を追加したことを特徴とする請求項1～3のいずれか1項に記載の信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、2次元のデジタル・データ配列を複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと、所定の2次元の係数配列とのコンボリューション処理を行う信号処理装置に関する。

【0002】

【従来の技術】 例えば、9行9列の2次元係数配列を用いた2次元のコンボリューション処理装置は、一般に図4に示すような構成が用いられている。すなわち、2次元のデジタル・データ配列を走査することによって得

られる時系列の入力データが、図5に示すようなラスタ走査順序でない場合は、まず走査変換回路101によりラスタ走査順序に変換される。そして、走査変換回路101によって得られたラスタ走査順序の時系列のデータは、もとの2次元のデジタル・データ配列の1行（ラインと定義する）を構成するデータ数分の遅延量を持つ遅延手段、すなわちライン・バッファ102-1で遅延されると共に、シフト・レジスタ・アレイ103に供給される。また、このライン・バッファ102-1からの出力は、ライン・バッファ102-2と共に、シフト・レジスタ・アレイ103に供給される。

【0003】 同様に、各ライン・バッファ102-2～102-7の出力は、それぞれ次段のライン・バッファ102-3～102-8と共にシフト・レジスタ・アレイ103に供給され、最後のライン・バッファ102-8の出力もシフト・レジスタ・アレイ103に供給される。これらのライン・バッファ102-1～102-8は、係数配列の1列を構成する係数の数から1を引いた個数だけで必要で、この構成例の場合は8個のライン・バッファが必要となる。各ライン・バッファ102-1～102-8からは、入力データに対してそれぞれ1ラインずつ遅延した8つのデータが出力される。すなわち、入力データを含めて列方向に並んだ9つのデータがシフト・レジスタ・アレイ103に供給されることになる。

【0004】 シフト・レジスタ・アレイ103は、係数配列の1行を構成する係数の数と同じステージ数を持つ（この構成例の場合は9ステージ）複数のシフト・レジスタD00～D88で構成され、各行毎に8つ前までのデータをストアする。シフト・レジスタは、係数配列の1列を構成する係数の数と同じ個数だけで必要で、この構成例の場合は9つ必要となる。

【0005】 以上の構成をとることによって、シフト・レジスタ・アレイ103上には、もとの2次元データ配列の部分配列（9行9列）が再構成される。例えば、レジスタD00に第1ラインの最初のデータがストアされた時、レジスタD10には第1ラインの2番目のデータが、レジスタD01には第2ラインの最初のデータが、レジスタD88には第9ラインの9番目のデータがストアされる。このように再構成された部分配列は、2次元の係数配列（9行9列）に対応している。すなわち、このシフト・レジスタ・アレイ103にストアされたデータと係数配列を用いて、コンボリューション処理回路104において、コンボリューション処理を行うことができる。そして、その結果をもとのラスタ走査に戻す走査変換回路105を介して出力することができる。

【0006】

【発明が解決しようとする課題】 代表的な2次元データである画像データの処理分野では、扱うデータ・サイズが大きく、ますます大規模化する傾向が強い。また、画像データの記録や通信などの分野では、データ量を圧縮

するために変換符号化が多く用いられるようになってきており、データの走査順序はブロック走査が一般的になってきている。

【0007】ところが、図4に示した従来のコンボリユーション処理を行う信号処理装置においては、入力データがラスト走査順序であることが要求されるため、ブロック走査順序のデータを処理するにはラスト走査順序に変換する走査変換回路が不可欠である。更に、後段の構成によってはコンボリユーション処理の後に、もとの走査フォーマットに戻す走査変換回路も必要となる。

【0008】ブロック走査順序からラスト走査順序に、もしくはラスト走査順序からブロック走査順序に変換するには、SRAMのようなランダム・アクセス可能な記憶手段を用いる必要がある。例えば、LSI-LOGIC社のLSIであるL64765では、SRAMの制御方法を工夫して最小限の容量で、この処理を実現しているが、それでも、1つのブロックの1列を構成するデータの数×1ラインのデータの数だけの容量が必要である。すなわち、この記憶手段の容量は処理する2次元データのサイズに依存し、特に、画像データを処理する場合には非常に大容量のものが要求される。そして、この記憶手段を他の回路とあわせて集積化することは困難であるため、記憶手段を別に用意する場合が多い。しかし、部品が増えることに加えてアドレスやデータなど多くの信号線が必要となり、スペース・ファクタを低下させていた。

【0009】また、列方向のデータを同時に得るためのライン・バッファも、データ・サイズに依存して大規模なものが要求されるために、FIFOのような汎用のデータ・バッファを用いて構成することが多い。しかし、係数配列の1列を構成する係数の数-1（図4に示した従来例では8）だけの個数が必要となり、スペース・ファクタを著しく低下させる。そのため、コンボリユーション処理の特性を犠牲にして係数配列の行数を減らすなどの対策がとられていた。

【0010】本発明は、従来のコンボリユーション処理を行う信号処理装置における上記問題点を解消するためになされたもので、請求項1記載の発明は、図6に示すような列フォーマット以外のブロック走査順序で入力するデータと2次元の係数配列とのコンボリユーション処理を行う装置において、コンボリユーション処理の特性を犠牲にすることなく、回路を構成する部品の数を削減できるようにした信号処理装置を提供することを目的とする。また請求項2記載の発明は、走査変換回路を省略できる信号処理装置を提供することを目的とし、請求項3記載の発明は、シフト・レジスタ・アレイを省略できる信号処理装置を提供することを目的とし、また請求項4記載の発明は、コンボリユーション処理における乗算の数を削減できる信号処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段及び作用】上記問題点を解決するため、請求項1記載の発明は、2次元のデジタル・データ配列を所定の大きさの複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと所定の2次元の係数配列とのコンボリユーション処理を行う信号処理装置において、前記入力データの走査順序を列フォーマットの走査順序に変換する走査変換回路と、前記2次元のデジタル・データ配列の1行を構成するデータの数と前記所定の大きさのブロックの1列を構成するデータの数とを掛け合わせたデータ数を1ステージとして、前記走査変換回路から出力されるデータを所定のステージ数遅延させ、且つ各ステージ毎の遅延データを出力できる遅延手段と、該遅延手段の各ステージの遅延データ及び前記走査変換回路からの出力データを入力とし、同一ブロック内の列データを並列に出力するシリアル/パラレル変換回路と、該シリアル/パラレル変換回路から並列に出力されるデータを、同じ行アドレスを持つデータ毎にシフトしながら所定の数のデータをストアするシフト・レジスタ・アレイと、該シフト・レジスタ・アレイにストアされたデータから、コンボリユーション処理に必要な複数のデータを取り出すデータ・セレクトと、該データ・セレクトによって取り出された複数のデータと前記所定の2次元の係数配列とを用いてコンボリユーション処理を行うコンボリユーション処理回路とで信号処理装置を構成するものである。

【0012】このような構成を採用することにより、ラスト走査順序に変換することなしに、ブロック走査されたデータに対してコンボリユーション処理を行うことが可能となり、したがって、入力するデータが列フォーマットでブロック走査されたものである場合は、走査変換回路そのものを省略できるし、またそれ以外のフォーマットでブロック走査されている場合も、ラスト走査への変換の場合に比べ、はるかに小規模な回路で構成できる。例えば、行フォーマットのブロック走査から列フォーマットのブロック走査への変換は、従来と同じ処理方法を用いると1つのブロックを構成するデータの数と同じ容量の記憶手段で実現できる。また列方向のデータを取得するための遅延手段の個数も大幅に削減することができる。

【0013】また請求項2記載の発明は、請求項1記載の信号処理装置において、入力データの走査方向を列フォーマットのブロック走査順序に規定することにより、走査変換回路を省略することの特徴とするものであり、このように入力データが列フォーマットの走査順序である場合には、走査変換回路を省略することができる。また請求項3記載の発明は、請求項1又は2記載の信号処理装置において、2次元の係数配列を構成する列の数が1の場合に、シリアル/パラレル変換回路にシフト・レジスタ・アレイの機能を統合させるように構成するもの

である。このように係数配列が1列のみで構成されている場合は、シリアル／パラレル変換回路の出力を直接データ・セクタに供給でき、シフト・レジスタ・アレイを省略することができる。また請求項4記載の発明は、請求項1～3のいずれか1項に記載の信号処理装置において、コンボリューション処理回路からの出力に対して、行方向のフィルタ処理を行う回路を追加するものである。これにより、コンボリューション処理における乗算の数を低減することができる。

【0014】

【実施例】次に実施例について説明する。図1は本発明に係る信号処理装置の実施例を示すブロック構成図である。この実施例は、2次元のデジタル・データを4行4列のブロックに分割し、ブロック毎に走査して得られた時系列のデータと、9行9列の2次元係数配列とのコンボリューション処理を行うようにした信号処理装置に、本発明を適用したものである。

【0015】図1において、入力データは、2次元のデジタル・データ配列を所定の基準クロックの立ち上がりにより同期してブロック走査の順序に走査することで得られた時系列のデータである。そして特に指定のない限り、データの処理はこの基準クロックに同期して行われることとする（なお図1においては、基準クロックは図示を省略している）。

【0016】入力データは、まず走査変換回路1で列フォーマットのブロック走査の順序に変換される。最初から列フォーマットのブロック走査の順序のデータが得られる場合は、この走査変換回路1は省略できる。列フォーマットのブロック走査の順序に変換されたデータは、シリアル／パラレル（S/P）変換回路2-1に供給されると共に、1ラインのデータ数×1つのブロックの1列を構成するデータの数（本実施例の場合は4）の遅延量をもつ遅延手段、すなわちデータ・バッファ3-1で遅延される。このデータ・バッファ3-1で遅延されたデータは、S/P変換回路2-2に供給されると共に、更に4ライン分の遅延量をもつデータ・バッファ3-2で遅延される。2つのデータ・バッファ3-1、3-2で合計8ライン分遅延されたデータは、S/P変換回路2-3に供給される。

【0017】S/P変換回路2-1～2-3は、図2に示すように、1つのブロックの1列を構成するデータの数（本実施例の場合は4）のステージ数を持つシフト・レジスタ11と出力用レジスタ12-1～12-4とで構成され、同一ブロック内の1列分のデータが全てシフト・レジスタ上にストアされた時点で、ストアしたデータを出力用レジスタ12-1～12-4に転送する。すなわち、S/P変換回路2-1～2-3からは、列方向に並んだ12個のデータが並列に出力され、シフト・レジスタ・アレイ4に供給されることになる。

【0018】シフト・レジスタ・アレイ4は、係数配列

の1行を構成する係数の数と同じステージ数（本実施例の場合は9）を持つ複数のシフト・レジスタD00～D88で構成され、S/P変換回路2-1～2-3から出力されるデータをシフトしながらストアする。S/P変換回路2-1～2-3からは列方向に並んだデータが供給されるため、シフト・レジスタ・アレイ4上にはもとのデータ配列の部分配列（9行12列）が再構成される。

【0019】一方、アドレス・カウンタ5は、入力データに同期した同期信号をもとに基準クロックをカウントし、入力するデータのアドレスを検出して出力する。アドレス・デコーダ6は、アドレス・カウンタ5からのアドレスをもとに、S/P変換回路2-1～2-3やシフト・レジスタ・アレイ4におけるデータ転送のタイミングを発生すると共に、コンボリューション処理に必要なデータを選択するための制御信号を出力する。この制御信号は、レジスタD44～47のレジスタにストアされているどのデータを中心としてコンボリューション処理を行うかを指定するものであり、S/P変換のタイミングに対して、図3に示すように規定される。

【0020】データ・セクタ7は、アドレス・デコーダ6から入力する制御信号をもとに、シフト・レジスタ・アレイ4上にストアされたデータから必要な複数のデータを選択して、コンボリューション処理回路8のコンボリューション・フィルタに出力する。例えば、制御信号がレジスタD44を指定している場合、レジスタD00～D08、D10～D18、D20～D28、D30～D38、D40～D48、D50～D58、D60～D68、D70～D78、D80～D88にストアされたデータを読み出し、制御信号がレジスタD46を指定している場合は、レジスタD02～D0A、D12～D1A、D22～D2A、D32～D3A、D42～D4A、D52～D5A、D62～D6A、D72～D7A、D82～D8Aにストアされたデータを読み出す。コンボリューション処理回路8は、データ・セクタ7から出力されるデータと所定の係数配列とを用いてコンボリューション処理を行い、その結果を、もとの走査フォーマットに変換する走査変換回路9を介して出力する。

【0021】このような構成の信号処理装置を用いることにより、ブロック走査の順序で入力するデータをラスタ走査の順序に変換することなく、コンボリューション処理を行うことができるため、走査変換回路の規模を削減できる。更に、列方向のデータを得るための遅延手段の個数も大幅に削減される。例えば、この実施例においては、従来例においては8個必要だったものが2個に削減されている。そのためスペース・ファクタに束縛されることがなく、必要な特性のコンボリューション処理を行うことができる。一方、遅延手段であるデータ・バッファ1つ当たりの記憶容量は、従来に比べて大容量のものが要求されるが、汎用のデータ・バッファには画像用のフレーム・バッファのような大容量のものが比較的安価に供給されており、コスト的なデメリットはない。

【0022】また、上記実施例において、入力データが最初から列フォーマットのブロック走査順序である場合は、走査変換回路自体を省略することができる。また、上記実施例では、シフト・レジスタ・アレイのステージ数は係数配列の1行を構成する係数の数と同じものを示したが、S/P変換回路の出力を直接コンボリューション処理に使用することにより、シフト・レジスタ・アレイの規模を1ステージ減らすことができる。したがって、係数配列が1次元の列行列である場合は、シフト・レジスタ・アレイを省略することができる。

【0023】更に、2次元の係数配列が、ある列行列にある行行列をかけることによって得られるものと等価である場合には、2次元のコンボリューション処理を列方向の処理と行方向の処理に分けて行うことができる。すなわち、上記実施例の構成に行方向の処理回路を追加する構成で、2次元のコンボリューション処理を行うことができる。この構成をとることによって、コンボリューション処理における乗算の数を減らすことができる。例えば、 9×9 の係数配列を用いたコンボリューション処理では、必要な乗算の数が81から18に削減できる。

【0024】

【発明の効果】以上実施例に基づいて説明したように、請求項1記載の発明によれば、ブロック走査の順序で入力するデータをラスタ走査の順序に変換することなく、コンボリューション処理を行うことができるため、走査変換回路の規模や構成部品を削減することができ、それにより、コストの削減や装置の信頼性の向上を図ることができ、更には消費電力や輻射ノイズの低減、処理時間の短縮などの効果も得られる。また請求項2記載の発明によれば、入力データを最初から列フォーマットのブロック走査順序とすることにより、走査変換回路自体を省略することができる。また請求項3記載の発明によれば、2次元の係数配列を構成する列の数が1の場合に、シリアル/パラレル変換回路にシフト・レジスタ・アレイ

*イの機能をもたせ、シフト・レジスタ・アレイを省略することができる。また請求項4記載の発明によれば、コンボリューション処理回路からの出力に対して行方向のフィルタ処理を行う回路を追加することにより、コンボリューション処理における乗算の数を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る信号処理装置の実施例を示すブロック構成図である。

10 【図2】図1に示した実施例におけるS/P変換回路の構成例を示すブロック構成図である。

【図3】図1に示した実施例におけるアドレス・デコーダの出力信号のタイミングを示す図である。

【図4】従来の信号処理装置の構成例を示すブロック構成図である。

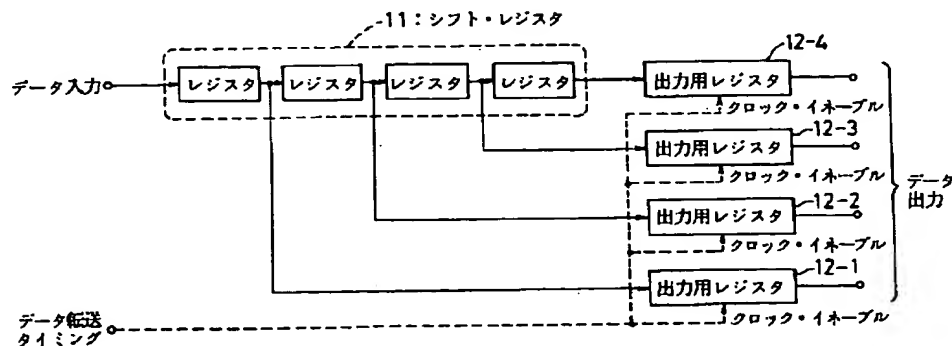
【図5】ラスタ走査順序の態様を示す説明図である。

【図6】列フォーマットのブロック走査順序の態様を示す説明図である。

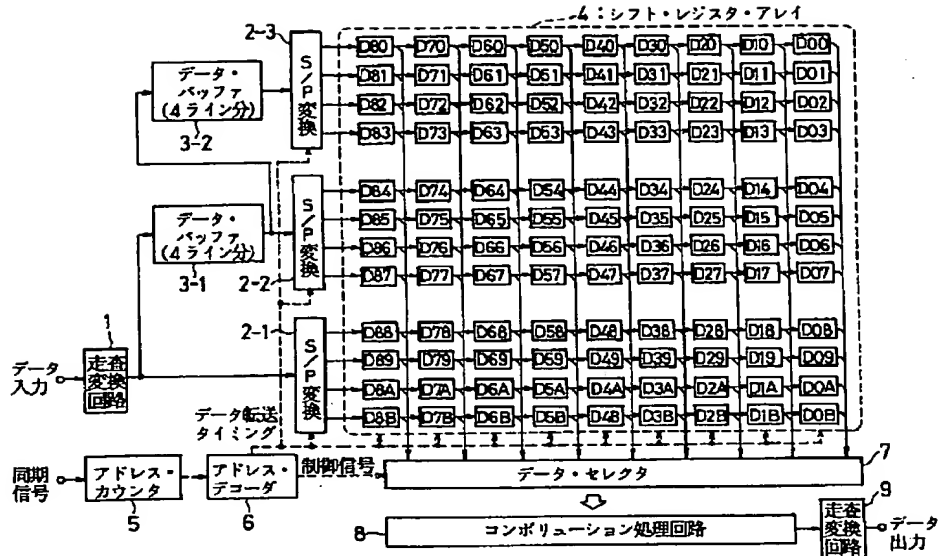
【符号の説明】

- 20 1, 9 走査変換回路
- 2-1, 2-2, 2-3 S/P変換回路
- 3-1, 3-2 データ・バッファ
- 4 シフト・レジスタ・アレイ
- 5 アドレス・カウンタ
- 6 アドレス・デコーダ
- 7 データ・セレクト
- 8 コンボリューション処理回路
- 11 シフト・レジスタ
- 12-1, 12-2, 12-3, 12-4 出力用レジスタ
- 30 101, 105 走査変換回路
- 102-1 ~ 102-8 ライン・バッファ
- 103 シフト・レジスタ・アレイ
- 104 コンボリューション処理回路

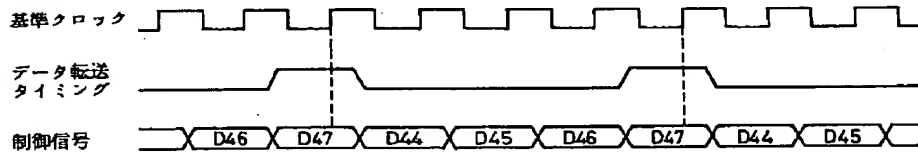
【図2】



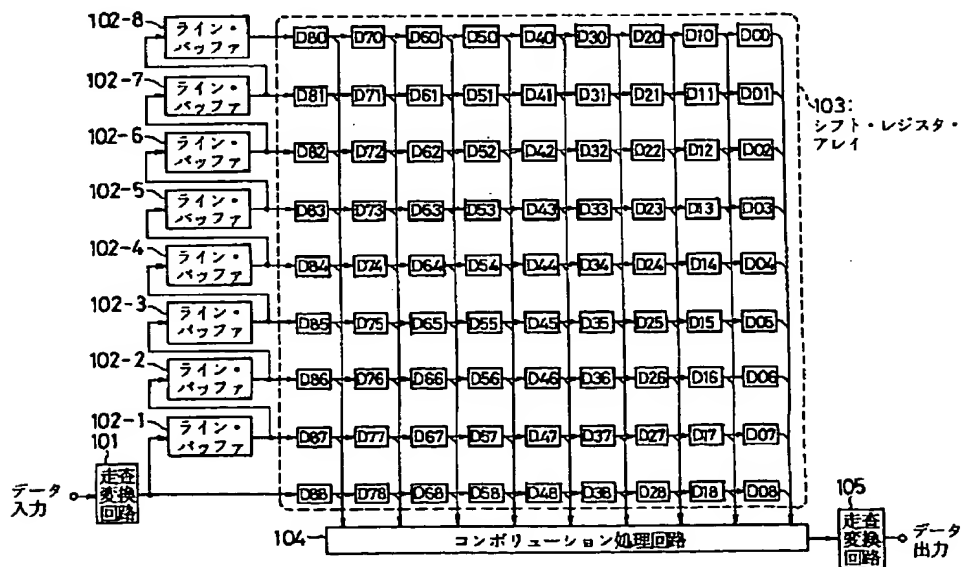
【図1】



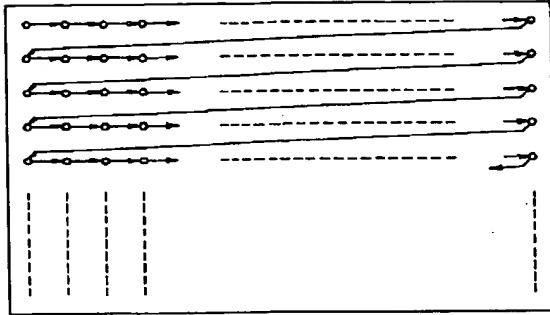
【図3】



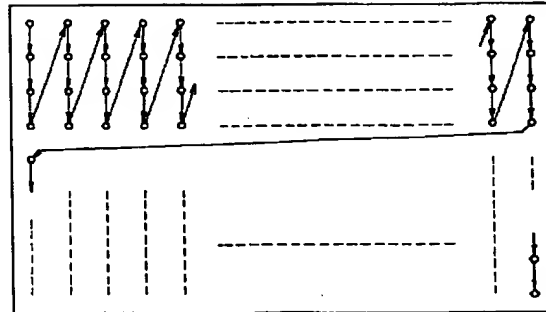
【図4】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁶

H 0 4 N 7/30

識別記号

庁内整理番号

F I

技術表示箇所